

Best Available Copy

Reference C

Japanese Patent Public Disclosure No. 22331/1978

Date of Public Disclosure: March 1, 1978

Application No. 96145/1976

Application Date: August 13, 1976

Inventor: Seiichi Sugaya et al.

Applicant: Fujitsu Electric Co., Ltd.

Title: Dynamic Address Translation System

Claims:

1. A system wherein a plurality of channels are connected to a main memory circuit through a channel control circuit and data are transmitted between said main memory circuit and a channel circuit in accordance with an indicated logical address, a dynamic address translation system characterized in that said channel control circuit has a single address translation function commonly used by each channel and that data are transmitted by way of translating a logical address indicated by said address translation function to an actual address.
2. The dynamic address translation system described in claim 1 wherein said address translation function has two registers for indicating the actual address of hardware, whereby data transmission is performed and the next address translation is conducted by operating in turn said two registers.

日本国特許庁
公開特許公報

特許出願公報
昭53-22331

① Int. Cl. ²	識別記号	② 日本分類	③ 国内整理番号	④ 公開 昭和53年(1978)3月1日
G 11 C 8 00		97 71 C 0	6453-56	発明の数 1 審査請求 未請求
G 06 F 3 00		97 71 C 02	6453-56	
G 06 F 9 00		97 71 F 11	6745-56	
G 06 F 13 00		97 71 D 0	6711-56	
G 11 C 9 06				(全 3 頁)

⑤ ダイナミックアドレス変換方式

川崎市中原区上小田中1015番地
富士通株式会社内

① 特 願 昭51-96145

② 発 明 者 宮島茂

③ 出 願 昭51(1976)8月13日

川崎市中原区上小田中1015番地
富士通株式会社内

④ 発 明 者 宮谷誠一

川崎市中原区上小田中1015番地
富士通株式会社内

⑤ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

同 渡辺欽則

⑥ 代 理 人 弁理士 青木明 外 3 名

明 細 書

1. 発明の名称

ダイナミックアドレス変換方式

2. 特許請求の範囲

(1) チャンネル制御装置を介して複数のチャンネル装置が主記憶装置に接続され、指定された記憶アドレスによってデータが上記主記憶装置とチャンネル装置との間で送迎されることシステムにおいて、上記チャンネル制御装置が各チャンネル装置に共用される単一のアドレス変換テーブルを有し、該アドレス変換テーブルより指定された物理アドレスを記憶のハードウェアのアドレスに変換しながらデータの送迎を行うことを特徴とするダイナミックアドレス変換方式。

(2) 特許請求の範囲(1)の発明において、上記アドレス変換テーブルが記憶のハードウェアのアドレスを指定するレジスタを2個有し、これらのレジスタを交互に動作させることによりデータの送迎と次のアドレス変換を同時に行うことを特徴とするダイナミックアドレス変換方式。

3. 発明の詳細な説明

本発明は一般にアドレス変換方式に関し、特に情報処理システムにおけるチャンネル装置でのアドレス変換方式に関する。

最近の情報処理システムにおいて用いられる方式のひとつはページアドレス方式がある。これは主記憶および補助記憶を一定の大きさのページと呼ばれるブロック（通常1K〜2Kバイト）に分割し、ページ単位に指定を送迎するもので、この方式によるとユーザーは実際の主記憶の大きさにかかわらず大きな仮想の主記憶があるかのごとくプログラムを書くことが出来る。ページアドレス方式でのプログラムのアドレス指定はページ番号と、そのページ内のアドレスとによって行われるので、これらの結合アドレスを実際のハードウェアのアドレス（実アドレス）に変換しなければならぬ。この変換は、中央処理装置が使用するプログラムの各命令に關して、ハードウェアにより自動的に行われていたが、主記憶装置と補助記憶装置（又は入出力装置）との間でのページ

の転送の場合作ソフトウエアにより行われていた
ので、ソフトウエアが複雑化し、かつ情報処理シ
ステム全体としての処理能力が低下するという問
題があった。又この変換をハードウエアにより行
う方式も提案されているが、従来の技術では多数
の変換テーブルが使用されるので、装置が複雑化
し、かつ変換に時間がかかるという欠点がある。

従って本発明は上記問題を改善するもので、
その目的は補助記憶装置及び入出力装置との転送
に關して、中央処理装置と同様の論理アドレス及
び実アドレスを扱うことができしめるアドレス変
換方式を提供することにある。

この目的を達成するための本発明のひとつの特
徴はチャネル制御装置を介して選択されたチャネル
装置が主記憶装置に接続され、指定された論理アド
レスに對してセグメントを単位とするデータが上
記主記憶装置とチャネル装置との間で転送される
ごとシステムにおいて、上記チャネル制御装置
が各チャネル装置に共用される単一のアドレス変
換機構を有し、該アドレス変換機構により指定さ

れた論理アドレスを実際のハードウエアのアドレ
スに変換したからデータの転送を行うこととす、ア
ドレス変換方式にある。

本発明は別の特徴は、上記アドレス変換機構が
実際のハードウエアのアドレスを指定するレジス
タを2個有し、これらのレジスタを互主として作さ
せることによりデータ転送と次のアドレス変換を
同時に行うこととアドレス変換方式にある。以下
各面により実施例を説明する。

図1図は本発明に適みされる情報処理システム
の構成で、中央処理装置(CPU)と主記憶
装置(MS)とチャネル制御装置(CHC)が接続
され、さらに、複数のチャネル装置(CH)は、イ
ンターフェース(IF)、チャネル制御装置(CHC)
を介して主記憶装置(MS)に接続される。チャ
ネル装置(CH)には、補助記憶装置(AS)又は
入出力装置が接続される。ページの転送は主記憶
装置(MS)と補助記憶装置(AS)又は入出力装
置の間で行われるのであるが、本発明の装置で
あるアドレス変換は、チャネル制御装置(CHC)

を中心に行われるので、以下の説明ではこの部分
を特に詳しく説明する。

図2図はチャネル制御装置(CHC)の主要部の
ブロックダイアグラムを示す。コマンドのアド
レス変換のために、論理コマンドアドレスレジス
タ(LCAR)及び実コマンドアドレスレジスタ
(RCAR)がもうけられ、データのアドレス変換
のために論理データアドレスレジスタ(LDAR)
及び2組の実データアドレスレジスタ(KDAR(1)
及びKDAR(2))がもうけられ、さらにアドレス変
換のパラメータを保持する為のSTWレジスタが
もうけられる。これらのレジスタはチャネル毎に
もうけられるが、アドレス変換機構そのものは全
チャネルに共通である。上記各レジスタのうち
STWレジスタ以外の各レジスタは当該レジスタ
の内容を-1する機能(DEC)又は+1する機
能(DEC)をもち、又これらのレジスタは、ペー
ジインデックス(P)とバイトインデックス(B)
をもち、前者は変換テーブルを参照する際のイン
デックスをもち、後者はページ内のアドレス

をあらわす。

チャネルが論理アドレス、実アドレスのいずれ
を扱うかは専用のチャネルコマンドにより設定さ
れるものとし、前者を論理モード、後者を実モ
ードと呼ぶ。

論理モードに設定されたチャネルは、それ以後
のコマンドアドレス及びデータアドレスを論理ア
ドレスとして扱う。論理モードに設定されたもの
のチャネルコマンドは二重されると、このコマンドか
らSTWレジスタはアドレス変換に必要なパラメ
ータをうけとる。このコマンドは、又、次にとり
出すコマンドの論理アドレスが与えられるので、
これを論理コマンドアドレスレジスタ(LCAR)
に設定した後、アドレス変換を行い、結果を実コ
マンドアドレスレジスタ(RCAR)に設定する。
ここでアドレス変換は次のこと行われる。

アドレス変換のための変換テーブル(T)はソフ
トウエアによって作成され、主記憶装置(MS)
に記憶される(図2図では説明の便宜上変換テー
ブル(T)を記号するが、実際にはテーブルは三記

情報に格納される。STWレジスタはこの交換テーブル元アドレスを提供する。アドレス交換機構は、STWレジスタの内容と論理コマンドアドレスレジスタのページインデックスとを処理して（例えば加算）与えられるアドレスを使って交換テーブルの内容を読み取り、この結果と論理コマンドアドレスレジスタのバイトインデックスとを合成して実アドレスを作成し、結果を実コマンドアドレスレジスタ（RCAR）に設定する。

次にチャネルは、この実コマンドアドレスを用いて、主記憶装置（MS）よりコマンドを取り出し、このコマンドから与えられる処理データアドレスを処理データアドレスレジスタ（LDAR）に設定し、この内容が上記のコマンドアドレスの場合と同様にしてアドレス交換されて、その結果が実データアドレスレジスタ（RDAR 1）又は（RDAR 2）に設定される。この時処理データアドレスレジスタ（LDAR）の内容に次のページの論理アドレスに更新される。ここでチャネルはコマンドの実行に入り、実データアドレスレジスタ

（RDAR 1）又は（RDAR 2）のアドレス指定によってデータの転送が行われる。

実データアドレスレジスタが2個用意される理由に次のとおりである。

コマンドの実行開始直後にページの境界に達した場合は、次のページのアドレス交換が終了するまで次のページの転送をすることが出来ない。転送速度の違い等初期状態の場合にはオーバーランを招く危険がある。これを防止するために、本発明では転送の開始前に2ページ分の実アドレスを用意し、これらをRDAR 1及びRDAR 2に設定する。チャネルは最初にRDAR 1を使用してデータ転送を行い、ページの境界に達すると、RDAR 2によりデータ転送を継続する。RDAR 2によるデータ転送完了後のコマンドでの転送がそのページで終了した場合は、少なくとも1ページ分は続くので、この転送中にさらに次のページのアドレス交換を行って結果はRDAR 1に設定される。このようにページの境界に達する毎にRDAR 1とRDAR 2を切替えてがっくすに使用することにより、データの転送が中断せずに行われる。

以上詳しく説明したごとく、本発明によれば、単一のアドレス交換機構を使用して、ページアドレス方式におけるチャネルのアドレス交換を実現に行うことができる。

なお、アドレスの交換単位はページ・アドレス単位に限らず、幾つかのページのまとまったいわゆるマクメント・アドレス単位で行ってもよいことはいふまでもない。

4. 装置の構成と記号

第1図は本発明の適用されるシステム構成例、第2図は本発明によるチャネル制御装置の主要部のブロックタイエグラムの一例。

（符号の説明）

CPU、中央処理装置 MS、主記憶装置
CHC、チャネル制御装置 CR、チャネル装置
LCAR、論理コマンドアドレスレジスタ
LDAR、処理データアドレスレジスタ
RCAR、実コマンドアドレスレジスタ
RDAR、実データアドレスレジスタ
STW、STWレジスタ

